

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭62-242243

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和62年(1987)10月22日
G 06 F 9/46 3 1 0 C-8120-5B
0/42 3 3 0 7361-5B
12/02 6711-5B 審査請求 未請求 発明の数 2 (全20頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 昭61-85442

⑰ 出 願 昭61(1986)4月14日

⑱ 発 明 者 渡 辺 坦 川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

⑲ 発 明 者 倉 貝 桂 一 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑳ 発 明 者 柏 木 有 善 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

㉑ 発 明 者 十 山 圭 介 川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

㉒ 発 明 者 野 尻 徹 川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 磯村 雅俊

要 約

1. 発明の名称

情報処理装置

2. 特許請求の範囲

1. 主記憶装置空間を持つ主記憶装置と、該主記憶装置をアクセスする主記憶アクセス手段と、レジスタ群空間を持つレジスタ群と、該レジスタ群をアクセスするレジスタアクセス手段と、上記主記憶装置やレジスタ群からのデータを演算する演算手段とを備えた情報処理装置において、命令の発行に使用するレジスタを、レジスタ領域の位置を示す領域レジスタの指定と、該レジスタ領域内の相対位置を示すレジスタ位置の指定との組合わせにより指定することを特徴とする情報処理装置。

2. 特許請求の範囲第1項記載の情報処理装置において、上記指定手段により指定される領域レジスタは複数個設けられること、ならびに、上記の主記憶装置空間の番地とレジスタ群空間の番地を同一の命令で指定する手段を有するこ

とを特徴とする情報処理装置。

3. 特許請求の範囲第1項または第2項記載の情報処理装置において、該情報処理装置に対する命令のレジスタ指定部には、領域レジスタを指定する領域レジスタ部と、レジスタ位置を指定するレジスタ位置部とを設けることを特徴とする情報処理装置。

4. 特許請求の範囲第1項、第2項または第3項記載の情報処理装置において、領域レジスタの値はレジスタ群の任意のレジスタが指示されるように設定することを特徴とする情報処理装置。

5. 特許請求の範囲第1項、第2項、第3項または第4項記載の情報処理装置において、領域レジスタはレジスタ群に含まれない特設レジスタとして設けられることを特徴とする情報処理装置。

6. 特許請求の範囲第3項または第4項に記載の情報処理装置において、上記レジスタアクセス手段は、領域レジスタをレジスタ群に含まれる特定レジスタ領域のレジスタとし、一般のレジ

特開昭62-242243 (2)

- スタ使用命令では、領域レジスタ部にその特定レジスタ領域内の相対位置を指定し、該領域レジスタに対する値の設定命令と参照命令では、領域レジスタ部にその特定レジスタ領域の表示を入れ、レジスタ変位部にはその中での相対位置を指定することを特徴とする情報処理装置。
7. 特許請求の範囲第1項から第5項、または第6項記載の情報処理装置において、レジスタ指定手段では、数値としてのレジスタ番号によりレジスタ位置を表現し、指定された領域レジスタの持つ値とレジスタ変位として与えられた値とをOR演算で加算することを特徴とする情報処理装置。
8. 特許請求の範囲第1項から第6項、または第7項において、上記レジスタアクセス手段は、レジスタ群に含まれる複数のレジスタを流レジスタおよび前レジスタという関係で1列に順序付けし、その1列のレジスタでは、前部のレジスタの次レジスタが先頭のレジスタ、先頭のレジスタの前レジスタが末尾のレジスタとするこ

とを特徴とする情報処理装置。

9. 主記憶格納空間を持つ主記憶装置と、該主記憶装置をアクセスする主記憶アクセス手段と、レジスタ格納空間を持つレジスタ群と、該レジスタ群をアクセスするレジスタアクセス手段と、上記主記憶装置やレジスタ群からのデータを演算する演算手段とを備えた情報処理装置において、同一の命令により上記主記憶装置とレジスタ群の記憶格納空間内の領域を同時に指定する手段を設けるとともに、レジスタ群中には、所定個数のレジスタからなるレジスタ領域としてのレジスタバンクを複数個と、使用するレジスタバンクの位置を示す領域レジスタを設け、かつ該情報処理装置に対する命令のレジスタ指定部には、レジスタバンク内の相対レジスタ位置を指定するレジスタ変位部を設けて、命令自体を変更せずに、領域レジスタの値を変えるのみで命令実行に使用するレジスタを変更することを特徴とする情報処理装置。
10. 特許請求の範囲第9項記載の情報処理装置

において、上記領域レジスタを複数個設け、該情報処理装置に対する命令のレジスタ指定部には、どの領域レジスタを使用するかを示す領域レジスタ部と、レジスタバンク内の相対レジスタ位置を指定するレジスタ変位部を設けることを特徴とする情報処理装置。

11. 特許請求の範囲第10項記載の情報処理装置において、所定個数のレジスタから成る複数のレジスタバンクを、前のレジスタバンクと次のレジスタバンクという関係により1列に順序付けしたバンク列とし、該バンク列の末尾のレジスタバンクに対する次のレジスタバンクを先頭のレジスタバンクとし、先頭のレジスタバンクに対する前のレジスタバンクには、末尾のレジスタバンクとして、円環状のリングバンクとして結合することを特徴とする情報処理装置。
12. 特許請求の範囲第11項記載の情報処理装置において、上記複数のレジスタバンクは、各リングバンクごとに個別の所定個数のレジスタで構成されるレジスタバンクを円環状に結合し

た1個または複数のリングバンクと、1つのレジスタ領域としての1個ないし複数の大域バンク集合とからなることを特徴とする情報処理装置。

13. 特許請求の範囲第12項記載の情報処理装置において、上記複数のレジスタバンクは、リングバンクのレジスタバンクのうち、1つの時点で主として使用するレジスタバンクを現バンクとし、リングバンクの使用状態切換え前の時点で前バンクとして使用しているレジスタバンクを前バンクとし、上記大域バンク集合の中で1つの時点で使用するレジスタバンクをその時点での大域バンクとし、領域レジスタの1値として、現バンクの位置を示す現バンクポインタ、前バンクの位置を示す前バンクポインタ、該大域バンクの位置を示す大域バンクポインタで、それぞれ指定することを特徴とする情報処理装置。
14. 特許請求の範囲第13項記載の情報処理装置において、現バンクと前バンクのリングバン

特開昭62-242243 (3)

ク内使用位置を更新する命令として、現バンクポイントの更新前の値を前バンクポイントの更新後の値とし、現バンクポイントの更新後の値はその更新前の現バンクの次のバンクの位置とするリングバンク前進命令、および前バンクポイントの更新前の値を現バンクポイントの更新後の値とし、前バンクポイントの更新後の値はその更新前の前バンクより1つ前のバンクの位置とするリングバンク後退命令を設定することを特徴とする情報処理装置。

15. 特許請求の範囲第13項または第14項記載の情報処理装置において、リングバンクにおける有効情報の境界を示す有効バンクポイントと、主記憶装置内のバンク過渡領域としてのバンクスタックの位置を示すバンクスタックポイントとを設定し、リングバンクの使用位置の前進の際に、現バンクポイントの値と有効バンクポイントの値との関係からバンク過渡の必要性を判定し、必要と判定された場合には、更新後の現バンクポイントで指示されるレジスタバン

クの内容をバンクスタックポイントで指示されるバンクスタックに格納するバンク過渡を行い、その格納後に合せてバンクスタックポイントを前進させ、有効バンクポイントの値をリングバンクにおける次のバンクを指示するように更新させ、またリングバンクの使用位置の後退の際に、前バンクポイントの値と有効バンクポイントの値との関係からバンク回復の必要性を判定し、必要と判定された場合には、更新後の前バンクポイントで指示されるレジスタバンクにバンクスタックポイントの更新前の値で指示されるバンクスタック内容を転送して、バンク回復を行い、その転送後に合せてバンクスタックポイントを後退させ、有効バンクポイントの値をリングバンクにおける1つ前のバンクを指示するように更新させることを特徴とする情報処理装置。

16. 特許請求の範囲第9項から第14項まで、または第15項記載の情報処理装置において、各レジスタ領域（またはレジスタバンク）の中

の過渡・回復の必要性のあるレジスタを指示する保存表示情報を各レジスタ領域ごとに記録しておき、後述、その1つのレジスタバンクを突然に過渡する必要がある時には、それに対応する保存表示情報により示されたレジスタのみを過渡する選択的過渡過渡の命令と、過渡されたレジスタ領域の内容を回復する時、先に出した保存表示情報により表示されるレジスタのみを回復する命令を使用することを特徴とする情報処理装置。

17. 特許請求の範囲第13項または第15項記載の情報処理装置において、現バンクポイントと前バンクポイント、大域バンクポイント、ならびに有効バンクポイントとバンクスタックポイントに対して、それらのポイントの値を設定するバンク状態ロード命令と、それらのポイントの値を格納するバンク状態ストア命令を使用することを特徴とする情報処理装置。

18. 特許請求の範囲第13項記載の情報処理装置において、現バンクと前バンク、大域バンク

に対して、1つの副プログラム内では、該副プログラムを呼出した上位の副プログラムから引数として渡される情報と、上位の副プログラムに返す情報とを前バンクに割付け、該副プログラムから呼出す下位の副プログラムに引数として渡す情報と、下位の副プログラムから戻り値として受取る情報とを現バンクに割付け、リングバンク後退命令を副プログラムからの復帰時に実行する命令列を置くことにより、引数や戻り値をレジスタを介して副プログラム間で受渡しすることを特徴とする情報処理装置。

19. 特許請求の範囲第9項に記載の情報処理装置において、他のプログラムとは非同期的に実行させる1つのプログラムで使用するレジスタバンクを、他のプログラムで使用するレジスタバンクとは異なるレジスタバンクに割当てることにより、そのプログラムと他の非同期的に実行するプログラムとの間の実行の切換えを、レジスタバンクの多数のレジスタの内容を交換することなく行うことを特徴とする情報処理装置。

特開昭62-242243 (4)

図。

20. 特許請求の範囲第12項から第18項まで、あるいは第18項に記載の情報処理装置において、1つの大域バンクと1つのリングバンクを対し、その対を複数個設けることにより、非同期的に実行される複数のプログラムの各々に、上記大域バンクとリングバンクの対を1つずつ割当てすることを特徴とする情報処理装置。
21. 特許請求の範囲第9項から第11項まで、または第20項に記載の情報処理装置において、各レジスタバンクを構成するレジスタの数を2の乗数とすることを特徴とする情報処理装置。
22. 特許請求の範囲第11項から第20項、または第21項に記載の情報処理装置において、レジスタの位置を数値としての番地で表脱し、リングバンクにおける末尾以外のバンクの次のバンクは前バンクのレジスタ番地に隣接する番地のレジスタ領域を占有し、末尾のバンクの次のバンクは先頭番地のレジスタ領域を占有することを特徴とする情報処理装置。

は第25項に記載の情報処理装置において、レジスタ群とレジスタアクセス手段と演算手段とを、同一の半導体チップに搭載したことを特徴とする情報処理装置。

3. 発明の詳細な説明

(通路上の利用分野)

本発明は、情報処理装置に関し、特にレジスタのアクセス時間が上記装置のアクセス時間より大幅に短い場合に好適なレジスタの構成方式とアクセス方式を用いる計算機システムに関するものである。

(従来の技術)

従来、多数のレジスタを備えた計算機システムにおいて、各レジスタを指定する方法については、例えば、雑誌「コンピュータ」9月号(1982年)第8頁～第21頁(D. A. Patterson and C. H. Sogoin: A VLSI RISC, Computer Sep. 1982.)において論じられており、一般にRISC(マイクロプロセッサとして実装されている(以下、RISCと略記する))。

23. 特許請求の範囲第11項から第21項、または第23項に記載の情報処理装置において、各レジスタバンクごとに次バンクの位置を示す次バンクポイントと、前バンクの位置を示す前バンクポイントを使用することを特徴とする情報処理装置。

24. 特許請求の範囲第12項から第22項、または第23項に記載の情報処理装置において、大域バンク組合の各大域バンクに含まれるレジスタ数を同一の数に設定し、複数のリングバンクに対してそれを構成する各バンクに含まれるレジスタ数を互いに等しい数に設定することを特徴とする情報処理装置。

25. 特許請求の範囲第9項から第21項、または第24項に記載の情報処理装置において、上記主記憶アクセス手段は、命令解釈部とともに、該情報処理装置の外部から与えられ、主記憶装置に与えられている命令列を命令処理装置で実行させることを特徴とする情報処理装置。

26. 特許請求の範囲第9項から第24項、また

RISC-1では、命令で指定できるレジスタは32個あり、実装レジスタは138個存在する。命令で指定されるレジスタを仮に L_0, L_1, \dots, L_{31} とし、実装レジスタを仮に R_0, R_1, \dots, R_{137} とすると、 L_0, L_1, \dots, L_n は、各々が常に R_0, R_1, \dots, R_n に対応している。 L_0, L_1, \dots, L_{31} は、初期設定時には $R_{138}, R_{139}, \dots, R_{199}$ に対応付けられているが、最初の開プログラム呼出しの後では、 $R_{100}, R_{101}, \dots, R_{131}$ に対応付けられ、それより1つ下位の開プログラム呼出しの後では $R_{99}, R_{100}, \dots, R_{130}$ というように、その対応は開プログラム呼出しの各度に合せて16つつ下方にずらされて、開プログラムからの復帰時には、16つつ上方に戻される。開プログラム呼出し前の L_0, L_1, \dots, L_{31} は、それぞれ開プログラム呼出しの後の L_0, L_1, \dots, L_{31} と同一の実装レジスタを指す。

特開昭62-242243 (5)

このように、副プログラム呼出しの多量度に合わせて一部異なるレジスタ組を利用することにより、レジスタの退避・回復を少なくしようとしている。副プログラム呼出しの多量度が多くなり、実質レジスタを使い尽すと弊害が発生する。

〔発明が解決しようとする問題点〕

上述のように、従来の技術では、次のような問題点がある。すなわち、(a)使用するレジスタ領域が副プログラムの呼出しと復帰時にのみ固定量だけ上方または下方にずらされるものであり、レジスタ使用位置をプログラムの特性やプログラミング形態に合わせて変える点について何等配慮がなされておらず、レジスタの有効利用を図ることができない。(b)タスク切換え時に、大量の実装レジスタを退避・回復する必要があり、実装レジスタ数をこれ以上増しても、速度向上につながらない。(c)実装レジスタを使い尽した時には、前送み処理ルーチンでレジスタ退避等を行うため、処理に時間がかかる。

これらのうち、上述(b)の項目は、メモリの高

集積化技術を活用し切れないという点で大きな問題となる。

本発明の目的は、これらの問題を改善し、実装レジスタを増加するほど、副プログラム参照とタスク切換えに伴うレジスタの退避・回復を少なくでき、それによりプログラム作成時のレジスタの前付け作業を簡便化するとともに、処理の高速化を図ることが可能な情報処理装置を提供することにある。

〔問題点を解決するための手段〕

上記目的を達成するため、本発明の情報処理装置は、同一命令で各々の記憶帯域範囲内の領域を同時に指定する手段を設け、各命令における使用レジスタの指定を、レジスタ領域のレジスタ帯域を区として持つ領域レジスタの指定と、レジスタ領域内の相対番地を表わすレジスタ変位値の指定との組合せにより表現することに特徴がある。

領域レジスタの値は、計算機による処理の進行に伴って、各時点でのレジスタの使用状況に合わせてソフトウェアにより設定する。領域レジスタは

1個でもよいが、一般には複数個設けられ、どの領域レジスタを使用するかを示す領域レジスタ部と、それによって示される領域内の相対レジスタ帯域を示すレジスタ変位部により、個々の命令のレジスタ指定部を構成する。領域レジスタは、専用に特設されたレジスタで実現される場合と、一般のレジスタを組込んだレジスタ群中の特定領域のレジスタで実現される場合とがある。特設レジスタで実現する場合には、その値をロードしたリストアするための命令が設けられる。これに対して、一般のレジスタ群中の特定領域のレジスタで実現する場合には、その特定領域を指す領域レジスタの指定を省略し、レジスタ変位値のみにより使用する領域レジスタの番地が指定されるようにする。

指定された領域レジスタの値とレジスタ変位値とからレジスタ番地を生成する機構としては、両者の値を算術加算する加算器を使用する場合と、高速のOR回路を使用する場合とがある。

個々のレジスタに対して、その次のレジスタとその前のレジスタとを定め、円環状の組織にする

ことにより、レジスタ使用位置の前退と後退を同一的に扱うことができる。

また、プログラムのレジスタ依存性を少なくして、レジスタの有効利用と前付けの簡便化を図ることは、一定個数のレジスタより成るレジスタバンクを設け、どのレジスタバンクを使用するかを領域レジスタに設定する値により定め格るようにすることで実現できる。

また、副プログラム呼出しとタスク切換えに伴うレジスタの退避・回復処理を簡便化することは、レジスタ群を複数のレジスタ領域(バンク)に分割し、それをさらに副プログラムの呼出し・復帰に伴って使用するバンクを円環状に前退・後退させる複数のバンクから成るリングバンクと、タスク切換えに伴って割当ての変更される相対の大域バンクに分け、その利用を制御するバンク制御命令とそのためのバンク制御ポインタ群を設けることによって実現できる。

さらに、メモリ個のレジスタを含むバンクをm個集めたリングバンクを1つ設け、大域バンク組合

特開昭62-242243 (6)

を n 個のバンクで構成し、その各大域バンクをそれぞれ R_1, R_2, \dots, R_n 個のレジスタで構成した場合、全体としては、 $R_0 \times m + R_1 + R_2 + \dots + R_n$ 個のレジスタが存在することになる。この場合、命令のレジスタ指定部では、 $R_0, R_1, R_2, \dots, R_n$ の最大数のレジスタが指定可能である。リングバンクの各バンクは、多量の副プログラム呼出しの置きレベルごとに割付けられる形で使用され、大域バンクは非同時的に実行されるタスクごとに割付けられる形で使用される。すなわち、リングバンクは副プログラム呼出しの多重度が1つ減ると、円環状位置としての次の位置のバンクを現バンクとして使い、それまで現バンクとして使用していたものを前バンクとする。副プログラムからの復帰により多重度が1つ減くなると、1つ後退して前バンクを現バンクとし、円環状位置で見たその前の位置のバンクを新しい前バンクとする。大域バンクは、タスク切換え時には割付けを戻られるが、同一タスク内の副プログラムの呼出し・復帰に関しては割付

けを不要とし、内容の自動的な追進・回復を行わない。大域バンクのうちの1つは、割込み等を処理するシステムタスクにより固定的に使用するものとし、その大域バンクをシステムバンクと呼ぶ。

使用法としては、リングバンクには1つの副プログラム内で局所的に使われる情報を入れ、大域バンクには副プログラム呼出しの仕切りを越えて保持すべき大域的情報や、副プログラム呼出し時に追進・回復する必要のない一時的情報を入れる。下位の副プログラムに渡す情報は、現バンクのレジスタに入れておくと、呼出されたその副プログラムでは、それを前バンクのレジスタとして参照できる。呼出された副プログラムから上位の副プログラムに情報等を返す情報は、前バンクのレジスタに入れておくと、復帰時にそれを現バンクのレジスタとして参照できる。

バンク制御ポインタ部としては、使用中の現バンクの位置を保持する現バンクポインタ、前バンクの位置を保持する前バンクポインタ、大域バンクの位置を保持する大域バンクポインタ、ならび

に有効情報の境界を示す有効バンクポインタ、リングバンクの迅速記憶位置を示すバンクスタックポインタが設けられる。

また、バンク制御命令としては、リングバンクの前進・後退と有効情報の破壊直前自動追進と、追進したものの参照直前自動回復を制御するリングバンク前進命令とリングバンク後退命令、ならびに大域バンクの割付けとリングバンク制御情報の設定とリングバンク追進領域の指定を行うバンク状態ロード命令とバンク状態ストア命令、バンク内容をまとめて転送するブロック転送命令が設けられる。

現バンクのレジスタのうち、何回か後のリングバンク前進・後退時に、内容を保持すべきレジスタを指定することができるようにするため、レジスタ1がそれに該当するものであればビット1を1とし、そうでなければビット1を0とする表示ベクトルを設け、そのベクトルを現バンクの特定のレジスタに設定する。

命令体系としては、大域バンクのみを使用する

プログラムも作成できるように、殆んど全ての命令のレジスタ指定部に大域バンクのレジスタを指定できるようにする。

さらに、リングバンクのレジスタも大域バンクのレジスタと同じ扱いにして、大域バンクのバンク数を増加できるようにする大域バンクのバンク数を増やせる大域バンクモードを設け、リングバンクを使用するリングバンクモードと大域バンクモードをプログラムにより切換え可能にする。

タスク切換えに伴うリングバンクの追進を無くすか、遅延するためには、複数のリングバンクを設け、複数のタスクの各々に1つのリングバンクと1つの大域バンクを割当てる。このような形でバンクを割当てたタスクに対しては、リングバンクも大域バンクも追進・回復処理をすることなく、タスク切換えを行うことができる。

レジスタの位置を2段階のレジスタ領域として表わし、各レジスタ領域のレジスタ数を2の累乗とし、領域レジスタの値を2の累乗の整数倍に設定する場合には、領域レジスタの値とレジスタ表

特開昭62-242243(7)

位部で指定された順からOR回路により実際に使用されるレジスタの位置を求めることができ、処理を高効率化できる。レジスタ位置を0から $2^p - 1$ までの2進数で表わした場合、レジスタ番地1のレジスタの次レジスタは $\text{mod}((i+1), 2^p)$ を、前レジスタは $\text{mod}((i-1), 2^p)$ を、それぞれレジスタ番地とするレジスタとして容易に指定できる。 2^k 個のレジスタからなるレジスタバンクを 2^k 個集めて作成したリングバンクにおいて、バンク制御ポインタの値を 2^k の整数値にするときには、 1×2^k 番地から始まるバンクの次バンクは $\text{mod}((i+1) \times 2^k, 2^p \times 2^k)$ を、前バンクは $\text{mod}((i-1) \times 2^k, 2^p \times 2^k)$ を、先頭のレジスタ番地とするバンクとして容易に算定することができる。

大域バンク集合の各大域バンクのレジスタ数を一定の数 s_1 に統一し、各リングバンクのバンク数を一定の数 n に統一し、リングバンクの各バンクに含まれるレジスタ数を一定の数 s_0 に統一した場合には、1つのプログラムをどの大域バンク

どのリングバンクを選んで実行させることができる。

上記のレジスタ部とレジスタアクセス機構を演算器と同一の半導体チップに実装することにより、その半導体チップの外部との情報の授受の煩雑を大きく削減することができ、処理の高速化が図れる。

【作 用】

本発明の情報処理装置においては、1つのプログラムあるいは副プログラムの先頭部分等、一般のレジスタ使用命令の実行に先立つ部分で、領域レジスタの値を設定する。扱う情報の種類に応じて使用するレジスタ領域を変える場合には、情報の種類別に異なる領域レジスタを使用すればよい。領域レジスタ1の値がAと設定されている時に、領域レジスタ部が1でレジスタ変位部がjの命令が来ると、その命令で実際に使われるレジスタの番地はA+jとなる。領域レジスタの値とレジスタ変位部とよりOR回路でレジスタ番地を合成する場合、レジスタ変位部のビット長が、それよ

り小さい数を s' として、レジスタ変位部を s' ビットまでで表現できる数値に限定し、領域レジスタの値を下 s' ビットが0の数値に限定するようにプログラムを組めば、OR回路での合成値は加算器での加算値と等しくなるので、誤動作することがない。

領域レジスタの値は、副プログラムの先頭部分等に限定されず、任意の時点で設定できるので、プログラム実行時に、過去のレジスタ使用状況と以後のレジスタ要求状況に合わせて、使用するレジスタの指定を任意に変えることができる。

【実施例】

以下、本発明の実施例を、図面により詳細に説明する。

先ず、本発明の情報処理装置に対する命令のレジスタ変位部で指定されるレジスタの数を s 、リングバンクのバンク数を m 、大域バンクのバンク数を n として、情報処理装置におけるレジスタバンクの使用方法の一例を詳述する。

プログラム起動時には、バンク状態ロード命令

により、現バンクポインタを0、前バンクポインタを $s(m-1)$ 、大域バンクポインタをそのプログラムに割当てられたバンク番地、有効バンクポインタを $s(m-1)$ 、バンクスタックポインタをそのプログラムでバンク退避領域として使用する記憶番地に、それぞれ値を設定する。

副プログラム呼出し時には、その副プログラムに引数として渡す情報を現バンクのレジスタに入れ、保存変数ベクトルを現バンクの特定のレジスタに入れた後、当該副プログラムを起動する命令を実行する。引数の数が多過ぎて現バンクのレジスタに入りきらない場合には、あふれた部分を記憶装置を介して渡す。

呼出された副プログラムでは、先ずリングバンク前送命令を実行する。その命令では、呼出し前の現バンクポインタの値を新しい前バンクポインタの値とし、内蔵状態部で見て1つ次のバンク番地(呼出し時の現バンクポインタの値1が $s(m-1)$ より小さければ $1+s$ 、 $s(m-1)$ ならば0)を新しい現バンクポインタの値とする。この時、

特開昭62-242243 (B)

新しい前バンクポインタが有効バンクポインタで示されるバンクのうち、保存域がベクトルで示されたレジスタ群の内容をバンクスタックポインタで示される記憶番地に送還するとともに、有効バンクポインタの値を円環状番地で見て次のバンク番地に進め、バンクスタックポインタの値を送還したデータ番地に合せて前進させる。新しい前バンクポインタが有効バンクポインタを越えようとする間は、バンク前進命令でのバンク送還を行わない。

副プログラム内で引数として渡された情報を利用する時には、前レジスタの内容を参照する命令をプログラムで与える。呼出し側でレジスタ実位部が1の親レジスタに設定した情報は、呼出された側ではレジスタ実位部が1の親レジスタの内容として参照することができる。呼出し側で大域バンクに設定した情報は、呼出された側でもそのまま利用できる。

副プログラムからの復帰時には、先ず、必要ならば、関数部等の呼出し側へ送す情報を前レジ

スタに設定する。その後、リングバンク後退命令を実行する。この命令は、復元的な前バンクポインタの値を新しい親バンクポインタの値とし、それより円環状番地（新して前バンクポインタの番地1が0より大きければ1- m 、0ならば0（ $m-1$ ））を新しい前バンクポインタの値とする作用を持つ。この時、新しい親バンクポインタの値が有効バンクポインタの値と同じになれば、新しい前バンクポインタの指すバンク送還領域の内容を転送することにより、内容回復を行うとともに、新しい前バンクポインタの値を新しい有効バンクポインタの値とし、バンクスタックポインタを転送番地に合せて後退させる。転送すべきレジスタを示す保存表示ベクトルは、バンク送還領域から転送されるデータの先頭部分に入っている。

割込み等の例外発生時には、システムバンクのスタックポインタを用いて、その時の実行命令番地をスタックにプッシュした後、例外種別に応じた例外処理部の実行に移る。例外処理部では、バンク状態ストア命令により例外発生時の親バンク

ポインタ、前バンクポインタ、バンクスタックポインタの各値を送還した後、バンク状態ロード命令により、それらのポインタに当該例外処理部で使用する値を設定する。

オペレーティングシステム等のソフトウェアによるタスク切替時には、バンク状態ストア命令によって現タスク用の親バンクポインタ、前バンクポインタ、大域バンクポインタ、有効バンクポインタ、バンクスタックポインタの各値を送還した後、バンク状態ロード命令によって、次のタスク用にそれらのポインタの値を設定する。その際に、1つのリングバンクを他のタスクと共用している場合には、ブロック転送命令によりリングバンクの内容の送還・回復を行う。

このようにして、副プログラム参照に伴うレジスタの送還・回復が確にしか発生しないようにして、高効率化を可能にする。

リングバンクを使用せずに大域バンクのみを使用してプログラムを実行することじできるので、そのように作成されたプログラムをタスクとして

実行する時には、リングバンクの送還・回復処理は不要である。そのようなタスクに対して、大域バンクを他のタスクと競合しないように別個に割付けるならば、そのタスクはレジスタの送還・回復を全く必要としない。割込み処理部等をこのように形で解放すれば、処理が非常に高速化される。リングバンクも大域バンクと同じ扱いにすることが可能な大域バンクモードを利用すれば、このようなタスクを多数動かすことができる。

リングバンクを使用する場合でも、レジスタを個かししか使用しない小さな副プログラムにおいては、先頭部でのリングバンク前進命令と末尾部でのリングバンク後退命令を必ずしも置く必要はなく、それらを省略して、高速な副プログラムができるようにすることが可能である。大域バンクのみならず、リングバンクも他のタスクと共用しない形で割付けたタスクに対しては、タスクを切替えても大域バンクの内容もリングバンクの内容もそのまま保存されているので、そのタスクを再開した時には、中断点から直ちに処理を再開す

特開昭62-242243 (9)

ることができる。

第1図は、本発明の第1の実施例を示す情報処理装置の構成図である。

第1の実施例における情報処理装置の主要部は、命令処理装置1と主記憶装置2である。命令処理装置1の中には、多数の演算レジスタ $R_0, R_1, R_2, \dots, R_N$ からなるレジスタ群3と、演算器4と、レジスタアクセス機構5と、主記憶アクセス機構6と、命令解読部7が含まれる。主記憶装置2の主記憶番地空間とレジスタ群3のレジスタ番地空間とは、別々の番地空間を構成する。本実施例では、レジスタ番地は1ビットの2進数 $0, 1, 2, \dots, 2^k - 1$ で表わされており、 $N = 2^k - 1$ となっている。レジスタアクセス機構5の中には、領域レジスタ選択回路20、レジスタ領域ポインタ22、レジスタ番地合成用のOR回路30、レジスタ選択回路31があり、主記憶アクセス機構6の中には、転送レジスタ41と主記憶番地レジスタ42がある。

命令解読部7は、この情報処理装置に対する

命令列としてユーザが直接に入力した命令列または演算プロセッサが生成した命令列の中の命令を、主記憶装置2から所望の順序で取り出し、種々の命令に対しては、その命令の構成部分別の役割に応じた処理を行う。代表的命令には、操作の種別を示す命令コード部11と、レジスタ指定部12と、主記憶指定部15とがある。レジスタ指定部12の中には、さらに領域レジスタ部13と、長さ k ビットのレジスタ変位部14がある。ある命令の領域レジスタ部13の値を i とすると、その i はレジスタアクセス機構5の領域レジスタ選択回路20に送られ、レジスタ群3の中の R_i レジスタ21が領域レジスタとして選ばれる。 R_i レジスタ21の内容を b_i とすると、その値 b_i はレジスタポインタ22に送られる。レジスタ変位部14のビット長を d と表わしたが、レジスタ選択回路31に送る k ビットのレジスタ番地の下 d ビット部24の内容とレジスタ変位部14の内容をOR回路30に入力して得た論理和とし、またレジスタ番地の上 $k-d$ ビットは、レジスタ領域

ポインタ22の上 $k-d$ ビット部23の値そのものとする。

領域レジスタ21の値 b_i として、下 d ビットが0の2進数を設定しておく、上述のようにOR回路30で合成したレジスタ番地は、 b_i とレジスタ変位部14の値 d との算術和 $b_i + d$ と等しくなる。領域レジスタ21の内容の下 d ビットは必ずしも常に0にする必要はない。 2^d をレジスタ変位部14のビット長 d が、それより小さい数とし、ある領域レジスタについてはその内容を下 2^d ビットが0の数とし、その領域レジスタの番地を領域レジスタ部13で使用する命令においては、レジスタ変位部の値を 2^d ビットで表現できる数に限定するならば、上述のようにOR回路30により合成されたレジスタ番号は、やはり両者の算術和をとった値と等しくなる。レジスタ変位部15に入れる値を限定する 2^d をどのような値にするかは、ソフトウェアにより選択することができるので、使用する領域レジスタごとに定めることができるだけでなく、1つの領域レジスタ

に対しても、使用時点により変えることができる。

いま、ある命令により選択された領域レジスタ21の値 b_i と、レジスタ変位部14の値 d から上述のようにしてレジスタ番号 $b_i + d$ が合成され、それがレジスタ選択回路31に送られると、その命令で使用するレジスタとしては、レジスタ番号 $b_i + d$ のレジスタ($R_{b_i + d}$)32が選択される。その命令の命令コード部11の内容がそのレジスタを演算対象とする演算命令であれば、レジスタ $R_{b_i + d}$ の内容が演算器4に送られて演算が実行され、命令コード部11の内容がそのレジスタを演算結果レジスタとする命令があれば、演算器4からの結果がレジスタ $R_{b_i + d}$ に入れられる。命令コード部11の内容がロード命令であれば、主記憶指定部15で示された主記憶番地の内容がレジスタ $R_{b_i + d}$ に入れられ、ストア命令であれば、レジスタ $R_{b_i + d}$ の内容が主記憶指定部15で示された主記憶番地に格納される。主記憶アクセス機構6の中の転送レジスタ41は、主記憶装置2と命令処理装置1の間で転送される

特開昭62-242243 (10)

情報を一時的に保持するレジスタであり、主記憶番地レジスタ42は、その時に選択される主記憶装置2の番地を一時的に保持するレジスタである。

この実施例では、領域レジスタ部13の内容が0の命令に対しては、レジスタ選択回路31にレジスタ変位部14の内容dをそのまま送り、レジスタ番地がdのレジスタをその命令で使用するレジスタとする。すなわち、レジスタ番地が0から始まるレジスタ領域を領域レジスタのための特定領域とする。従って、領域レジスタの値の設定、参照は、領域レジスタ部13が0の命令により実行できる。

第2図は、本発明の情報処理装置に対する命令の構成図である。情報処理装置に対する命令のうち、命令コードとレジスタ番地、および主記憶番地の指定に関する各種の命令形態を示している。命令の構成部分としては、第2図に示したものの他に、付加的情報を示す部分や使用する定数を示す部分等がある。

第2図(a)は、命令コード部101とレジスタ

レジスタ部118とレジスタ変位部120から前述の形でインデクスレジスタとして使用するレジスタR₂を求め、ベースレジスタR₀の内容とインデクスレジスタR₂の内容と主記憶変位部121の3者の総和をとって求めた番地を、この命令で使用する主記憶装置2の番地とする。

第2図(c)は、2つのレジスタを使用する命令の構成であり、一方のレジスタ指定122の領域レジスタ部124とレジスタ変位部125から前述の形で求めたレジスタ番地を第1のレジスタの番地とし、他方のレジスタ指定部123の領域レジスタ部126とレジスタ変位部125から前述の形で求めたレジスタ番地を第2のレジスタ番地とし、この第1と第2のレジスタを使用して処理を実行する命令である。

第2図(d)は、特設のレジスタ領域を領域レジスタとして使用する場合、その特設の領域レジスタの値を主記憶に格納する命令である。この命令は、特設の領域レジスタの番地を指定する特設レジスタ部130と主記憶指定部131を含む。

指定部102、主記憶指定部103を含む命令の構成である。レジスタ指定部102には、領域レジスタ部105とレジスタ変位部106があり、第1図で説明したと同じ形で使用レジスタの選択が行われる。主記憶指定部103の中にも、ベースレジスタを指定するためのレジスタ指定部104と、ベースレジスタの値に対する相対番地を指定するための主記憶変位部109がある。この命令では、レジスタ指定部107とレジスタ変位部108により、前述した形で使用レジスタのレジスタ番地bを求め、その番地のレジスタR_bの内容Rと主記憶変位部の値Dとを加算したR+Dをこの命令で使用する主記憶装置2の番地とする。

第2図(b)は、主記憶指定部112にベースレジスタを指定するレジスタ指定部113と、インデクスレジスタを指定するレジスタ指定部114と、主記憶変位部121とを含む命令である。この命令では、一方の領域レジスタ部117とレジスタ変位部118から前述の形でベースレジスタとして使用するレジスタR₀を求め、他方の領域

第2図(e)は、特設の領域レジスタと一般のレジスタとを使用する命令であって、特設レジスタ部133と一般のレジスタ部134を含み、そのレジスタは領域レジスタ部135とレジスタ変位部136を用いて前述の形で指定される。

第3図は、本発明の第2の実施例を示す情報処理装置の要部構成図である。この実施例では、命令処理装置201の中に一般のレジスタ群203とは別に、特設の領域レジスタの集まりである領域レジスタ群207を設けている。一般のレジスタ群203は、一般のレジスタR₀, R₁, ..., R_Nで構成され、領域レジスタ群207は領域レジスタQ₀, Q₁, ..., Q_Kで構成される。命令のレジスタ指定部212の中に含まれる領域レジスタ部213の内容aがレジスタアクセス機構205の中の領域レジスタ選択回路220に送られると、領域レジスタ群207の中の領域レジスタ(Q_i)221の内容b_iがレジスタ領域ポインタ222に送られる。このQ_iの内容b_iと命令のレジスタ変位部214の内容d

特開昭62-242243 (11)

がレジスタ番地算出部230で加算され、その値 $b_1 + d$ がレジスタ選択回路231に送られる。その結果、一般レジスタ群203の中から R_{b_1} 、レジスタ232が、この命令で引用されるレジスタとして選ばれる。演算部204や主記憶アクセス機構205等、その他の部分については、第1図で説明した第1の実施例と同じである。

第4図は、本発明の第3の実施例を示す情報処理装置の要部構成図である。この実施例における情報処理装置の主要部は、命令処理装置301と主記憶装置302がある。命令処理装置301の中には、演算レジスタ群303と、演算部305と、領域レジスタ群310と、レジスタアクセス機構320と、主記憶アクセス機構330と、命令解読部340と、演算レジスタ群ポイント(BMR)323と、バンクスタックポイント(BSP)324とが含まれる。演算レジスタ群303の中には、リングバンク304と大域バンク集合305とが含まれる。領域レジスタ群310の中には、3個の領域レジスタ、つまり前バンクポイント

(PRNR)311、親バンクポイント(CDNR)312、存続バンクポイント(VBNR)313および大域バンクポイント(GDNR)314がある。リングバンク304の内容保全機構の実現のために、バンクスタックポイント(BSP)324と、主記憶装置302の中にとられたバンクスタック325がある。さらに、バンクの使用モードを示すバンクモードレジスタ(BMR)323がある。なお、第4図における点線は、領域レジスタやバンクスタックポイントのポイント先を例示したものである。

第5図は、第4図のレジスタ群の構成を示す図である。リングバンク304は、第5図(a)に示すように、 $R_{B0}, R_{B1}, R_{B2}, \dots, R_{B_{m-1}}$ の m 個のバンクで構成され、その各々はそれぞれ $R_0, R_1, R_2, \dots, R_{8-1}$ の8個のレジスタで構成されている。ここで、 R_{B351} は、その任意の1つのバンクを表わしたもので、352はバンク内のレジスタ群である。

大域バンク305も、第5図(b)に示すように、 $GB_0, GB_1, GB_2, \dots, GB_{n-1}$ の n 個の大域バンクで構成され、その各々はそれぞれ $R_0', R_1', R_2', \dots, R_{k-1}'$ の k 個のレジスタで構成される。ここで、 GB_{353} は、その任意の1つのバンクを表わしたもので、354は大域バンク内のレジスタ群である。

この第3の実施例としての情報処理装置では、リングバンク304のバンク数 m と大域バンク集合305のバンク数 n を、この情報処理装置の動作時に変更することができる。すなわち、リングバンク304のバンク数 m を0、4、8と変化させ、大域バンク集合305のバンク数 n も2、4、8、16というように変化させる命令がある。リングバンク304のバンク数が1より大きい場合をリングバンクモードと呼び、リングバンク304のバンク数が0であって、大域バンク集合のバンクのみが使用できる場合を大域バンクモードと呼ぶ。リングバンク304のバンク数と大域バン

ク集合305のバンク数が何値の状態であるかは、バンクモードレジスタ323により表示される。後述するように、領域レジスタの内容を設定する命令群があり、それを用いるとバンクモードを変更でき、それに伴ってバンクモードレジスタ323がその時点でのバンクモードを表示するように変わる。

以下、先ずリングバンクモードでの動作を説明した後、大域バンクモードでの動作を説明する。

第6図は、本発明の第4の実施例における命令のレジスタ指定部を示す図である。この情報処理装置に対する命令の多くは、第6図に示すように、命令コード部416の後に、レジスタ指定部417を持つ。レジスタ指定部417には、その命令で使用するレジスタが大域バンク、親バンク、前バンクのいずれのバンクに含まれるかを示す領域レジスタ部418と、バンク内の相対番地を示すレジスタ変位部419が含まれる。レジスタ変位部419では、0から8-1までの数を指定する。命令によっては、使用するレジスタが大域バンク、

現バンク、前バンクのように、いずれか1つに固定されているものもあり、その場合、領域レジスタ部418が命令の中に表示されていないこともある。

レジスタ部位部419の内容が0から3-1までの範囲の命令では、領域レジスタ部418が大域バンクを指定していれば、第4図の大域バンクポイント314の指すバンク内のレジスタ1が使用され、領域レジスタ部418が現バンクを指定していれば、現レジスタポイント312の指すバンク内のレジスタ1が使用され、領域レジスタ部418が前バンクを指定していれば、前バンクポイント311の指すバンク内のレジスタ1が使用される。

リングバンクのレジスタ数がより大きいリングバンクモードでは、現バンクポイント等のバンク制御ポイント群の値を初期設定しなければならぬが、それにはバンク状態ロード命令BSLまたは制御レジスタロード命令MTCRを使用する。

第7図は、第6図におけるバンク状態制御命令

423、424、425、426、427で示した形で格納される。

第8図は、本発明におけるレジスタバンクの選定・抽出動作の詳細説明図である。

副プログラム呼出しに関係する命令としては、呼出し命令と復帰命令の他に、リングバンク前進命令とリングバンク後退命令がある。副プログラム呼出しの時には、引数として渡す情報を現バンクのレジスタに設定した後、第8図に示す保存表示ベクトル429と呼ばれる情報を現バンク430、すなわち現バンクポイント312の指すバンクの第0レジスタ440に設定する。保存表示ベクトル429は、バンクのレジスタ数を8とすると、長さ8ビットの情報である。1を0から3-1までの整数値とした時、保存表示ベクトル429の第1ビットb₁、430の値は、現バンク430の第1レジスタR₁、440の内容が保存すべきものであれば1、保存しなくてもよいものであれば0にした値をとる。第0ビットb₀、430は、常に1としておく。保存表示ベクトルを現バ

特開昭62-242243 (12)

ンクの一層を示す図である。第7図に示すように、バンク状態ロード命令421は、オペランド指定部422を持つ。これを使用するには、記憶装置内に5つのフィールド423、424、425、426、427を設け、大域バンクポイント314に入れるバンク番号をフィールド423に入れ、前バンクポイント311に入れるバンク番号をフィールド424に入れ、現バンクポイント312に入れるバンク番号をフィールド425に入れ、有効バンクポイント313に入れる内容をフィールド426に入れ、バンクスタックポイント324に入れる記憶番地をフィールド427に入れておき、この一連のフィールドの先頭位置をオペランド指定部422で指示する。この状態でバンク状態ロード命令421を実行すると、フィールド422から427までの値が、上図対応に従ってバンク制御レジスタ群の値として設定される。バンク状態ストップ命令を実行すると、その時点での上記5つのポイントが、その命令のオペランド指定部422で示される記憶装置位置に、第7図の

バンクの第0レジスタR₀、440に設定した後、呼出し命令を実行すると、その命令の次の番地を副プログラム参照スタックにスタックし、指定された副プログラムの命令列の実行を開始する。

副プログラムの命令列の先頭では、リングバンク前進命令を実行する。リングバンク前進命令を実行すると、第4図の現バンクポイント(CBNR)312と前バンクポイント(PBNR)311の値が前進するとともに、必要に応じて、有効バンクポイント(VBNR)313とバンクスタックポイント(BSP)324の値も変わる。以下、リングバンク前進命令を実行する前のこれら4つのポイントの値を、それぞれVBNR₁、PBNR₁、VBNR₂、BSP₁とし、リングバンク前進命令を実行した後のこれら4つのポイントの値をそれぞれCBNR₁、PBNR₂、VBNR₂、BSP₂として、この命令の作用を説明する。リングバンク前進命令の実行に際しては、先ずこの命令の実行前の現バンクを指示するCBNR₁をこの命令実行後の前バンクポイントの値PBNR

特開昭62-242243 (13)

として設定し、現バンクポイントの値を $\text{mod}(\text{CBNR}_1 + 1, m)$ という値に更新する。ここで、 $\text{mod}(a, b)$ は整数 a を整数 b で割って得られる剰余を表わし、 m は1つのバンク内のレジスタ数を表わす。この時、 $\text{CBNR}_1 = \text{VBNR}_1$ であれば、すなわち更新前の現バンクポイントの値が更新前の有効バンクポイントの値と等しければ、更新後の現バンクポイントの値 CBNR_2 で示されるバンクのレジスタのうち、そのバンクの第0レジスタに入っている保存表示ベクトルで示されるレジスタの内容をバンクスタックポイント BSP_1 で示される場所を選択的に逐次退避する。

さらにこのバンク退避の機構を、第8図により詳述する。更新後の現バンクポイント CBNR_2 で示されるバンク439の中には、第0レジスタ R_{0440} 、第1レジスタ R_{1441} 、第2レジスタ R_{2442} 、...、第 $m-1$ レジスタ R_{m-1444} の m 個のレジスタがあり、保存表示ベクトル429の中にも、第0ビット b_{0430} 、

第1ビット b_{1431} 、第2ビット b_{2432} 、...、第 $m-1$ ビット b_{m-1434} の m 個のビットがある。 $0 \leq i \leq m-1$ として、第 i レジスタ R_{i443} が内容を保存すべきものであるば、保存表示ベクトルの第 i ビット b_{i433} を1として置き、また保存しなくてもよいものであれば、ビット b_{i433} を0としておく。この保存表示ベクトル429は、バンク430の第0レジスタ R_{0440} に格納されている。現バンクポイントの更新前の値 CBNR_1 、すなわち前バンクポイントの更新後の値 PBNR_2 が有効バンクポイントの更新前の値 VBNR_1 と等しければ、現バンクポイントの更新後の値 CBNR_2 で示される新しい現バンク430の第0レジスタ R_{0440} に格納されている保存表示ベクトル429をビット b_{m-1434} から始めてビット b_{0430} の方向に順次進行していくと、ビット b_{i433} 、 $0 \leq i \leq m-1$ 、が1であればバンクスタックポイント $(\text{BSP})_{324}$ の値を1レジスタ分前進させて、バンクスタック325におけるバンクスタックポ

イントの新しい値で示される位置にレジスタ R_i の内容を格納する。ビット b_{i433} が0であれば、バンクスタックポイント324を前進させず、レジスタ R_i の格納も行わない。 i を $m-1$ 、 $m-2$ 、...、2、1、0と変えながら保存表示ベクトル429を巡視し、必要なレジスタ格納操作を反復し終った時のバンクスタックポイント324の値がリングバンク前進命令により更新された値 BSP_2 である。保存表示ベクトルの第0ビット b_{0433} は常に1に設定されているので、更新後のバンクスタックポイントの指示する位置、つまりバンクスタック325の最上部には、退避したバンクのレジスタ R_0 の値が格納されていることになる。

このバンク退避操作が終了すると、有効バンクポイント313の新しい値 VBNR_2 は、その更新前の値 VBNR_1 をもとにして、 $\text{VBNR}_2 = \text{mod}(\text{CBNR}_1 + 1, m)$ に設定される。

更新後の前バンクポイントの値 PBNR_2 が更新前の有効バンクポイントの値 VBNR_1 と等し

くなければ、上述のバンク退避操作は行わず、バンクスタックポイント324と有効バンクポイント313の値は変わらない。

以上が、リングバンク前進命令による作用である。

前プログラムからの復帰時には、呼出し側に返す関数値等を必要に応じて前バンクのレジスタに設定した後、リングバンク後退命令を実行し、復帰命令を実行する。リングバンク後退命令を実行すると、現バンクポイント CBNR_3 12と前バンクポイント PBNR_3 11の値が後退し、有効バンクポイント VBNR_3 13とバンクスタックポイント BSP_3 24の値が必要に応じて変化する。以下、リングバンク後退命令の実行前のこれら4つのポイントの値をそれぞれ CBNR_2 、 PBNR_2 、 VBNR_2 、 BSP_2 とし、この命令実行後のこれら4つのポイントの値をそれぞれ CBNR_3 、 PBNR_3 、 VBNR_3 、 BSP_3 として、この命令の作用を説明する。

リングバンク後退命令を実行すると、まず前バ

時間 62-242243 (14)

バンクポインタ 311 の更新前の値 PBNR₀ を現
バンクポインタ 313 の新しい値 CBNR₀ として
設定し、前バンクポインタの値を PBNR₀ =
mod (PBNR₀ - 1, m) とするように更新
する。この更新後の現バンクポインタの値 CBNR₀
が更新前の有効バンクポインタ 313 の値 V
BNR₀ と同じであれば、更新後の前バンクポイ
ンタの値 PBNR₀ で指示されるバンクの内容を、
バンクスタック 325 におけるバンクスタックポ
インタ 324 で示される情報により選択的に回復
する。

このバンク回復の機構を、第8図により説明する。先ず、バンクスタックポインタ324の更新時の値BAPで指示されるバンクスタック325の最上部の内容を、前バンクポインタ311の更新時の値PBNRで指示されるバンクの第0レジスタR₀に入れ、バンクスタックポインタ324の値を1レジスタ分後退させる。バンクスタック325の最上部には、副プログラム呼出しの時、保存表示ベクトルが入れてあるので、上記機

行に依り、R₀レジスタ440には保存表示ベクトル429が入る。次に、この保存表示ベクトル429の内容をb₁ビット431から始めてb₀、1ビット434の方向に順次送達している。153152-1として、b₁ビット433の値が1ならばバンクスタック325内のバンクスタックポインタ324の新しい値で示される位置のデータをR₁レジスタ443に転送し、バンクスタックポインタ324の値を、1レジスタ分後退させる。b₁ビット433の値が0ならば、R₁レジスタ443への転送を行わず、バンクスタックポインタ324も後退させない。この操作を、1を1, 2, 3, ..., 4-1と変えながら0-1回反復した結果得られるバンクスタックポインタ324の値がリングバンク後退命令による更新後のその値DSP_jである。この後、有効バンクポインタ313の値を1つ後退させる。すなわち、 $VBNR_{j+1} = \text{mod}(VBNR_j - 1, m)$ とする。この値は、更新後の有効バンクポインタの値と同じである。

更新後の有効バンクポイントの値CBNR_iが更新前の有効バンクポイントの値VBNR_iと等しくなければ、上記のバンク図換操作を行わず、バンクスタックポイント324と有効バンクポイント313の値も変えない。

以上がリングバンク競選命令による作用である。

復帰命令では、制プログラムを専用スタックから戻り番地を取出し、その戻り番地で指定された場所にある命令の実行に移る。

タスク切換え時には、場合によって、リングバンクの内容をまとめて退避、回復する必要がある。そのために、ブロック転送命令として、バンクブロックストア命令とバンクブロックロード命令がある。

バンクブロックストア命令では、有効バンクポインタVBRで示されるバンクの次のバンクから現バンクポインタCBRで示されるバンクまでの各バンクの内容を、リングバンク搬送命令におけるバンク搬送操作と同じ処理により、バンクスタックに格納する。以下、その動作を詳述する。

バンクブロックストア命令を実行すると、まず有効バンクポインタ313の値VBNRが現バンクポインタ312の値CBNRと等しいか否かを調べ、等しくなければVBNRで指示されるバンクの次のバンク、つまり $m+1$ (VBNR+1, m) で指示されるバンクの内容を、リングバンク進退命令の説明で述べたバンク進退操作と同じ操作によりバンクスタックへ格納する。その結果として、バンクスタックポインタ324の値BSPが前進し、有効バンクポインタ313の値VBNRが次のバンクへと前進する。この新しいVBNRに対して、それが現バンクポインタの値CBNRと等しいか否かを調べ、等しくなければ上記のバンク進退操作を行うことを繰り返す。有効バンクポインタの値が現バンクポインタの値と等しくなった時、または始めから等しい時には、バンク進退操作をせずに、バンクブロックストア命令の実行を終了させる。

バンクブロックリード命令は、バンクブロックリード命令で格納した前バンクと現バンクの内容

特開昭62-242243 (15)

を、各バンクに取り出す命令であり、この命令を実行する時には、有効バンクポイントと現バンクポイントが同じ値となっている。バンクブロックロード命令を実行すると、バンク後退命令の説明で述べたと同じバンク回進操作により、先ず現バンクポイント312の指示するバンクの内容を回復し、次に前バンクポイント311の指示するバンクの内容を回復する。その結果として、有効バンクポイントの値は、前バンクポイントの値と同じになる。

バンク状態を変更する命令としては、リングバンクや大域バンクの状態を表示している制御情報を変更する制御レジスタロード命令MTCRと、制御レジスタストア命令MPCRとがあり、これらも使用できる。この2つの命令では、第4図の現バンクポイント312、前バンクポイント311、有効バンクポイント313、大域バンクポイント314、バンクスタックポイント324、バンクモードレジスタ323の各々の値を個別に設定すること、および個別に参照することが可能で

ある。バンクモードレジスタ323の内容を変えると、リングバンクのバンク数と大域バンク集合のバンク数を定めることができる。リングバンクのバンク数をとりとするモードにすると、全てのバンクを大域バンクとして使用できる大域バンクモードになる。すなわち、大域バンクモードでは、他のモードでリングバンクとして使用されていたバンクも大域バンクとして利用することができる。大域バンクモードで実行する命令では、その基礎モード部に前バンクや現バンクを指定することはできない。また、大域バンクモードでは、リングバンク前進命令とリングバンク後退命令は使用できない。

第9図は、第4図の具体例を示す情報処理装置の異部構成図である。この例では、命令処理部501の中のレジスタ群503に、GB0:510、GB1:511、・・・GBn-1:513のn個の大域バンクと、R0:520、R1:521、・・・Rn-1:523のn個のリングバンクで構成したものである。大域バンクGB0、GB1、

・・・GBn-1の各々は、第5図に示したように、k'個のレジスタで構成される。リングバンクR0、R1、・・・、Rn-1の各々も、第5図に示したようにm個のバンクで構成され、その各バンクはさらにj個のレジスタで構成される。

第9図の実施例では、非同期に実行されるプログラムごとに1つの大域バンクと1つのリングバンクを割当てる。このようにして、タスク切換えに伴うレジスタ群の過渡・回復のオーバーヘッドを無くする。

第10図は、第4図の具体例において、命令処理装置を1つの半導体チップとして実装した例である。これは、演算レジスタ群510、レジスタアクセス機構520、演算器530、制御器アクセス機構540、命令解釈部550、およびそれらを制御する回路群を1つの半導体チップに含めた形で実装している。

このように、本実施例においては、指定できるレジスタ数が領域レジスタのビット数で定まり、命令レジスタの指定部のビット数以上あるので、

図々の命令のレジスタ指定部が短くても、非常に多数のレジスタを使用することができる。また、レジスタを多数使用できることを利用すると、レジスタ群を1本または数本のスタックとして利用することができるので、大容量のレジスタ群を持つ場合にも、レジスタの過渡・回復なしで、あるいは極く少量の領域レジスタを過渡・回復するのみで、副プログラム呼出しやタスク切換えが実行でき、高速レジスタを大量に使用した高速処理がオーバーヘッドなしで実現できる。特に、第3の実施例では、リングバンクモードのとき、現バンクポイントが有効バンクポイントを越えて前進しようとする時と、前バンクポイントが有効バンクポイントを越えて後退しようとする時以外は、副プログラムの呼出し、復帰に伴うレジスタの過渡・回復が不要であるため、副プログラム参照を高速化できる。また、非同期的に実行されるプログラムの各々に異なる大域バンクを割当てることと、少数のレジスタしか使用しないプログラムでは、専用的に割当てられた大域バンクのみを使用して

特開昭62-242243 (16)

プログラムを作成することができるので、その場合にはプログラムの切換えに伴うレジスタ入換えを無くすことができ、タスク切換え等のプログラム切換えを高効率化できる。前プログラム参照時には、それまでの現バンクを次の前バンクと見て、引数と関数値を複写なしでレジスタを介して渡せるので、前プログラム参照を高効率化できる。リングバンクの退避・回復が必要の場合であっても、保存表示レジスタをリングバンクの各バンクごとに保持することにより、その退避・回復の対象レジスタを真に必要なもののみに限定できるので、その処理を高効率化できる。

従来では、実装レジスタ数を増すと、前プログラム参照やタスク切換えの際に、レジスタ退避・回復のオーバーヘッドが増すというジレンマがあったが、本実施例では、レジスタ数が増せば退避・回復の頻度が減るので、そのオーバーヘッドを逆に減らせるという効果がある。また、大域バンクモードにすると、退避・回復のない形で実行させることができるので、高速にタスクの切換えのでき

るタスクを多数設けることができる。

さらに、第4の実施例のように、リングバンクを複数設けると、リングバンクを使用する場合でも、タスク切換えに伴うレジスタの退避・回復を無くすることができ、前述なタスク切換えを実現できる。

【発明の効果】

以上説明したように、本発明によれば、個々の命令で使用するレジスタをプログラム作成時でなく、プログラム実行時に定めることができるので、任意の時点において、それ以前でのレジスタの使い方とその時点でのレジスタ使用要求に合わせて、最適なレジスタ割付けを行うことができる。そして、指定できるレジスタ数は領域レジスタのビット数で定まり、その数は命令のレジスタ指定部のビット数より大であるので、個々の命令のレジスタ指定部が狭くても、非常に多くのレジスタを使うことができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す情報処理

装置の要部構成図、第2図は本発明の情報処理装置に対する命令の要部構成図、第3図は本発明の第2の実施例を示す情報処理装置の要部構成図、第4図は本発明の第3の実施例における要部の構成図、第5図は第4図のレジスタ群の構成を示す図、第6図は本発明の第4の実施例における命令のレジスタ指定部の図、第7図は第8図におけるバンク状態制御命令の一形態図、第8図は本発明におけるレジスタバンクの退避・回復の詳述説明図、第9図は本発明の第5の実施例を示す要部構成図、第10図は第4図における命令処理装置を1つの半導体チップに実装した場合の図である。

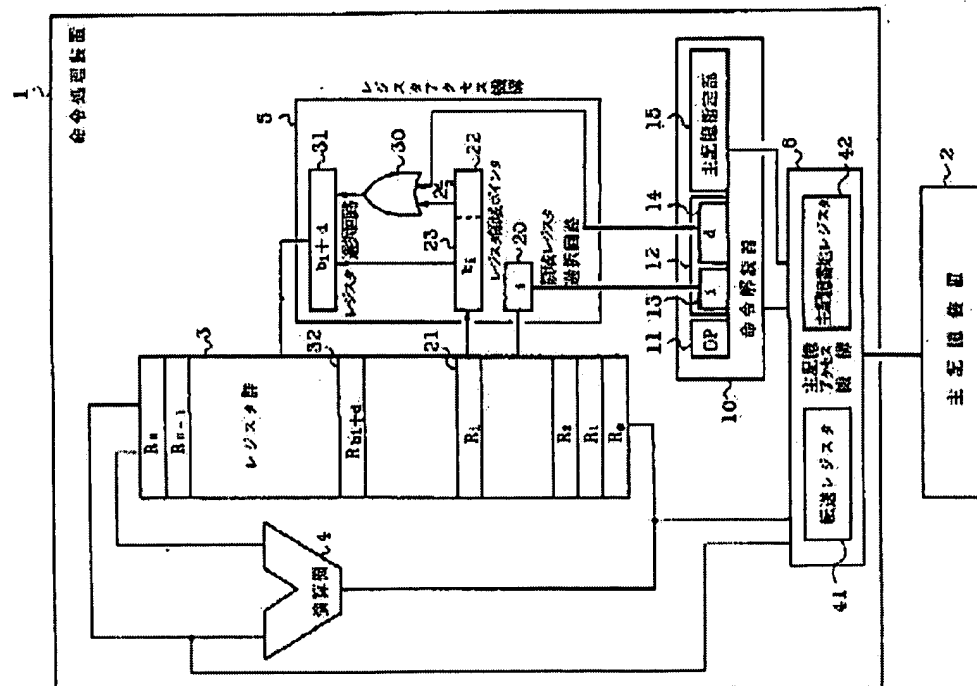
1：命令処理装置、2：主記憶装置、3：レジスタ群、4：演算部、101：命令解読部、11：命令コード部、12：レジスタ指定部、13：領域レジスタ部、14：レジスタ位置部、15：主記憶指定部、20：領域レジスタ選択回路、21：選択された領域レジスタ、22：レジスタ領域ポインタ、23：レジスタ領域ポインタ上位部、24：レジスタ領域ポインタ下位部、30：OR回

路、31：レジスタ選択回路、32：選択されたレジスタ、41：データレジスタ、42：主記憶高速レジスタ、101：命令コード部、102：レジスタ指定部、103：主記憶指定部、104：レジスタ指定部、105：領域レジスタ部、106：レジスタ位置部、108：主記憶位置部、112：主記憶指定部、113：レジスタ指定部、114：レジスタ位置部、130：特設レジスタ部、131：主記憶指定部、133：特設レジスタ部、201：命令処理装置、203：一般レジスタ群、205：領域レジスタ群、212：レジスタ指定部、213：領域レジスタ部、214：レジスタ位置部、220：領域レジスタ選択回路、221：選択された領域レジスタ、222：レジスタ領域ポインタ、230：レジスタ高速読み出し部、231：レジスタ選択回路、232：選択されたレジスタ、301：命令処理装置、302：主記憶装置、303：演算レジスタ群、304：リングバンク、305：大域バンク集合、306：演算器、310：領域レジスタ群、311：群バン

ポインタ、312：現バンクポインタ、313：
 有効バンクポインタ、314：大域バンクポイン
 タ、320：レジスタアクセス機構、321：鎖
 錠レジスタ選択回路、322：演算レジスタ選択
 回路、323：バンクモードレジスタ、324：
 バンクスタックポインタ、325：バンクスタッ
 ク、351：リングバンクの任意のバンク、35
 2：バンク内レジスタ群、353：大域バンク集
 合の任意の大域バンク、354：大域バンク内レ
 ジスタ群、418：命令コード部、417：レジ
 スタ指定部、418：領域レジスタ部、419：
 レジスタ位置部、421：バンク状態ロードノ
 ープ命令、422：オペランド指定部、423：
 大域バンクポインタ値、424：前バンクポイン
 タ値、425：現バンクポインタ値、426：有
 効バンクポインタ値、427：バンクスタックポ
 インタ値、429：保存表示ベクトル、439：
 レジスタバンク、440：第0レジスタR₀、4
 41：第1レジスタR₁、442：第2レジスタ
 R₂、443：第3レジスタR₃、444：第4

レジスタR₀、501:命令処理装置、503:レジスタ群、510:大域バンクGB₀、511:大域バンクGB₁、513:大域バンクGB_{n-1}、520:リングバンクR₀、521:リングバンクR₁、523:リングバンクR_n、530:演算レジスタ群、820:レジスタアクセス機構、830:演算器、840:主記憶アクセス機構、850:命令解読器。

特許出願人 株式会社日立製作所
代 理 人 井 堀 士 哉 村 田 健



特開昭62-242243 (18)

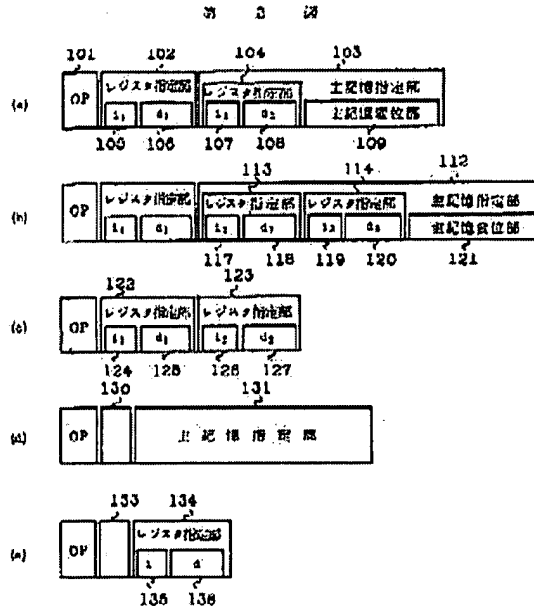
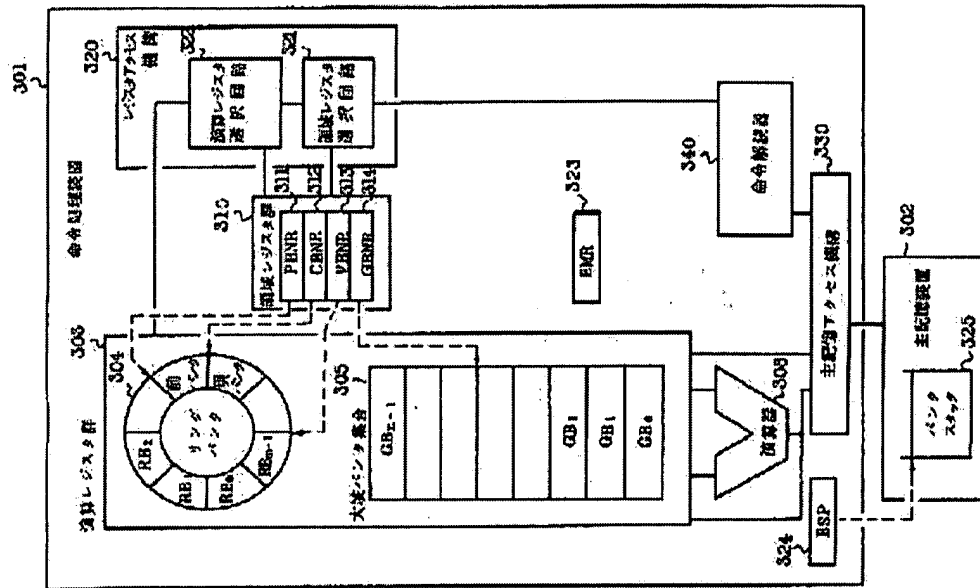


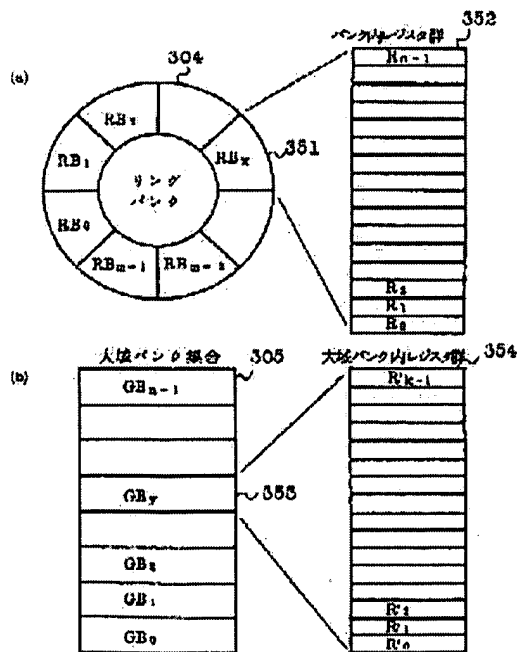
図 3

特開昭62-242243 (19)

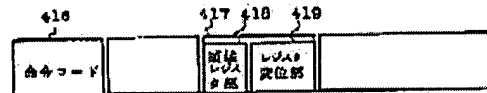
第 4 図



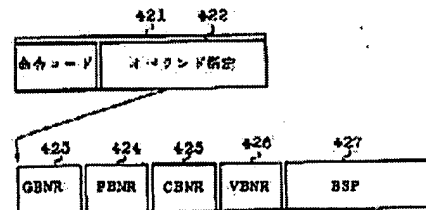
第 5 図



第 6 図

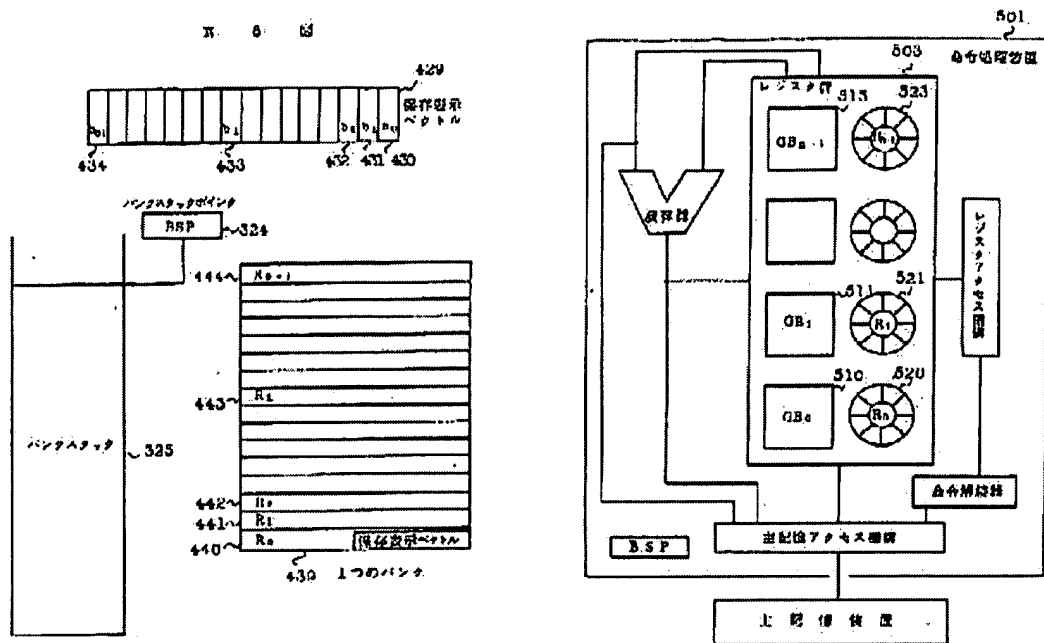


第 7 図

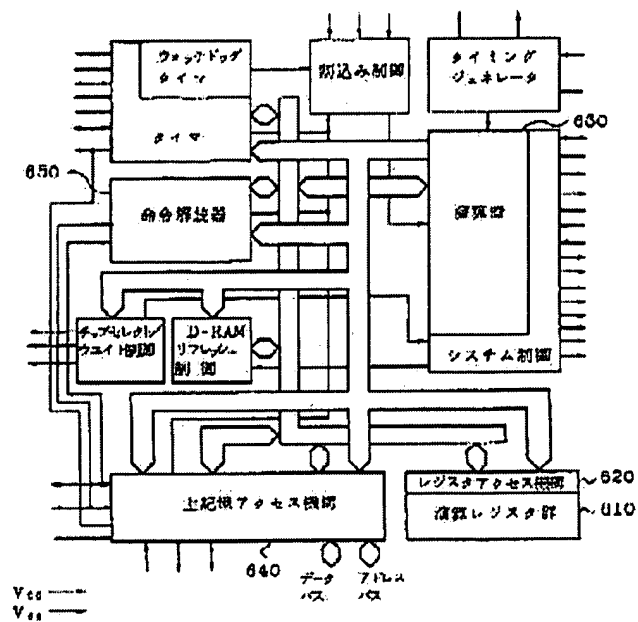


特開昭62-242243 (20)

第 9 図



第 10 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成6年(1994)1月21日

【公開番号】特開昭62-242243

【公開日】昭和62年(1987)10月22日

【年通号数】公開特許公報62-2423

【出願番号】特開昭61-85442

【国際特許分類第5版】

G06F 9/46 310 C 8120-5B
9/42 330 9189-5B
12/02 8841-5B

手続補正書 (自発)

平成5年4月9日

特許庁長官 森 生 誠 殿

1. 事件の表示

昭和61年特許願第85442号

2. 発明の名称

情報処理装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区神田駿河台四丁目6番地
名 称 (510) 株式会社日立製作所

代 表 者 金 井 務

4. 代 理 人

住 所 東京都新宿区西新宿1丁目18番15号
中神ビル7階 電話 (03) 3348-5025

氏 名 (7727) 弁護士 磯 村 雅 俊

5. 補正により増加する発明の数 4

6. 補正の対象 明細書の「特許請求の範囲」および「発明の詳細な説明」の欄

7. 補正の内容 別紙の通り

(1) 明細書第1頁～第13頁の特許請求の範囲を、別紙の通りに補正する。

(2) 明細書第10頁12行目の『同一命令』を、『一つの命令』に補正する。

(3) 明細書第20頁15行目の『復帰時に』を、『復帰後に』に補正する。

(4) 明細書第27頁14行目の『1の現レジスタ』を、『1に対する現レジスタ』に補正する。

(5) 明細書第27頁16行目の『1の前レジスタ』を、『1に対する前レジスタ』に補正する。

(6) 明細書第33頁10行～20行の『レジスタごとに変わることができる』を、『レジスタごとにそれを変えられることができる』に補正する。

(7) 明細書第34頁12行目の『命令があれば、』を、『命令であれば、』に補正する。

(8) 明細書第36頁8行目の『レジスタ指定部107』を、『領域レジスタ部107』に補正する。

(9) 明細書第39頁14行～17行の『命令部読器340と、演算レジスタ群ポインタ(DMR)

323と、バンクスタックポインタ(BSP)324と』を、『解説図340と、バンクスタックポインタ(BSP)324と』に補正する。

(10) 明細書第44頁15行~16行の『フィールド423から427までの値が、』を、『フィールド423から427までの値が、』に補正する。

(11) 明細書第51頁9行目の『バンクスタック325におけるバンクスタック』を、『バンクスタック325における、バンクスタック』に補正する。

(12) 明細書第51頁10行目の『324で示される情報により選択的に』を、『324で示される位置にある情報により選択的に』に補正する。

(13) 明細書第57頁19行~20行の『ビット数で定まり、命令レジスタの指定部の』を、『ビット数で定まり、それは命令レジスタの指定部の』に補正する。

並びに、

該命令の列のうちの或る命令の命令コードは

第2のレジスタの内容を前進または後退させることを示し、

他の或る命令の命令コードは

第2のレジスタの内容を前進させずに副プログラムの呼び出しを行うか、

又は第2のレジスタの内容を後退させずに副プログラムからの復帰を行うことを示すものとして、

命令解釈手段で解釈された命令の命令コード部と、

第2のレジスタで指示される多レジスタ領域の中に含まれ、

命令のレジスタ指定部で表わされるレジスタの内容に従って命令を処理することを特徴とする情報処理装置、

2. 特許請求の範囲第1項記載の情報処理装置において、

上記第1のレジスタ群は、番地付けされたレジ

別紙

特許請求の範囲

1. 命令群とデータを格納する主記憶装置を有し、該命令群の命令として、

命令コード部、及びレジスタ指定部を含むオペランド部を持つ命令を含め、

複数の副プログラムを含むプログラムを該命令群で構成し、

該プログラムの命令に対する命令解釈手段および処理手段を有する情報処理装置において、

該処理手段は、

複数の多レジスタ領域を含む第1のレジスタ群が該プログラムに割り付けられており、多レジスタ領域の各々が該副プログラムに選択的に割り付けられることと、

多レジスタ領域の一つを指示する情報を持つ第2のレジスタを有し、

第2のレジスタで指示される該多レジスタ領域の中のレジスタは

該命令の該レジスタ指定部で指定されること、

スタをリングバンク構造に構成したレジスタ群であることを特徴とする情報処理装置、

3. 特許請求の範囲第1項記載の情報処理装置において、

上記命令解釈手段と、複数の多レジスタ領域を含む第1のレジスタ群と、処理手段が一つの半導体チップの上に実現されたことを特徴とするマイクロプロセッサ、

4. 命令群とデータを格納する主記憶装置を有し、該命令群の命令として、

命令コード部、及びレジスタ指定部を含むオペランド部を持つ命令を含め、

複数の副プログラムを含むプログラムを該命令群で構成し、

該プログラムの命令に対する命令解釈手段を有する情報処理装置において、

複数の第1のレジスタによって複数の多レジスタ領域が構成され、

多レジスタ領域の各々が該副プログラムに選択的に割り付けられることと、

現用プログラムからの副プログラムの呼出し、
又は現用プログラムから前副プログラムへの復帰を指定する命令コード部を第1の命令群と、

多レジスタ領域に対する指示先を定める第2の命令群の命令を解釈する第1の手段を有すること、

現用プログラムに割り付けられた多レジスタ領域を指示する第2の手段を有し、

第2の手段は第2の命令群の命令によつての参照すること、

第1の手段で解釈された命令の命令コード部、及び

多レジスタ領域を指示する第2の手段と命令のレジスタ指定部で指定されたレジスタの内容に对应させて命令を処理する処理手段を有すること

を特徴とする情報処理装置、

5. 特許請求の範囲第4項記載の情報処理装置において、

において、

上記命令を解釈する第1の手段と、複数の第1のレジスタ群と、処理手段が一つの半導体チップの上に実現されたことを特徴とするマイクロプロセッサ、

6. 命令群とデータを格納する主記憶装置を有し、

該命令群の命令として、

命令コード部、及びレジスタ指定部を含むオペランド部を持つ命令を含む、

複数の副プログラムを含むプログラムを該命令群で構成し、

データの送達・回復に使う送達領域を主記憶装置に有し、

該プログラムの命令を解釈する第1の手段を有する情報処理装置において、

複数の多レジスタ領域を含む第1のレジスタ群が該プログラムに割り付けられており、

多レジスタ領域の各々が該副プログラムに選択的に割り付けられることと、

多レジスタ領域の一つを指示する情報を持つ第

上記副プログラムの成るものは第2の命令群の命令を含む、

複数の副プログラムを一つの多レジスタ領域を使って実行することを特徴とする情報処理装置、

7. 特許請求の範囲第4項記載の情報処理装置において、

上記第2の手段は、第1のレジスタで構成される一つの多レジスタ領域を指示する情報を持つ第2のレジスタを有することと、

上記処理手段は、第2のレジスタの内容を変えて、多レジスタ領域の指示を前指定したは後指定せる

第2の命令群の命令を実行させる手段を有することを特徴とする情報処理装置、

7. 特許請求の範囲第4項記載の情報処理装置において、

上記第1のレジスタ群は、割付けられたレジスタをリングバンク構造に構成したレジスタ群であることを特徴とする情報処理装置、

8. 特許請求の範囲第4項記載の情報処理装置に

2.のレジスタを有し、

第2のレジスタで指示される該多レジスタ領域の中のレジスタは

該命令の該レジスタ指定部で指定されること、多レジスタ領域の送達・回復操作の実行要否を決定する手段として、

多レジスタ領域の一つを指示する情報を持つ第2のレジスタを有し、

該命令群の成る命令の命令コードが、

第2のレジスタの情報の指示先の前指定または後指定、あるいは現用プログラムからの副プログラム呼出し、または現用プログラムから前副プログラムへの復帰を要すること、

並びに、

第1の手段で解釈された命令の命令コードと、第2のレジスタで指示される多レジスタ領域の中に含まれ、

命令のレジスタ指定部で表わされるレジスタの内容に於て命令を処理し、

多レジスタ領域を全て用プログラムによって使用された時に、

後進または戻り出し操作に合わせて、

第2のレジスタと第3のレジスタの内容の対応付けを行うとともに、

第3のレジスタの内容で指定される多レジスタ領域の内容を

主記憶装置の退避領域に退避する処理と、
第2のレジスタの内容を前進させた時に、

第3のレジスタの内容をそれに対応させて前進させる処理と、

後進または復帰の操作に合わせて、

第2のレジスタ第3のレジスタの内容の対応付けを行う処理と、

第3のレジスタの内容で指定される多レジスタ領域の内容を、

主記憶装置の退避領域から回復する処理と、
第2のレジスタの内容を後進させた時に、

第3のレジスタの内容をそれに対応させて後進させる処理

レジスタ退避表示情報で示された第1のレジスタのみを退避・回復すること、

を特徴とする情報処理装置。

1.2. 特許請求の範囲第9項記載の情報処理装置において、

上記他の命令の命令コードが、退避領域から、複数の多レジスタ領域の内容を退避領域へ退避すること、又は

複数の多レジスタ領域の内容を退避領域から回復することを含むこと、

を特徴とする情報処理装置。

1.3. 特許請求の範囲第8項記載の情報処理装置において、

上記他の命令の命令コードが、

第3のレジスタで指定される多レジスタ領域から始まって、

第2のレジスタで指定される多レジスタ領域に用いるまでの多レジスタ領域を退避領域に退避すること、

を特徴とする情報処理装置。

を行う処理手段を有すること

を特徴とする情報処理装置。

1.0. 特許請求の範囲第8項記載の情報処理装置において、

上記第2のレジスタの内容の前進または後進を表示する命令コードを持つ命令は、

現用プログラムからの用プログラム呼び出し、または

現用プログラムから前用プログラムへの復帰を表示する命令コードを持つ命令のいずれとも異なる命令であること

を特徴とする情報処理装置。

1.1. 特許請求の範囲第9項記載の情報処理装置において、

上記一つの用プログラムに割り付けられた多レジスタ領域の

どの第1レジスタが該用プログラム用に保持すべき情報を格納しているかを示すレジスタ退避表示情報と該多レジスタ領域に含むことと、
該処理手段は、該退避・回復操作の際に、

1.4. 特許請求の範囲第9項記載の情報処理装置において、

上記第1のレジスタ群は、番地付けされたレジスタをリングバンク構造に構成したレジスタ群であること

を特徴とする情報処理装置。

1.5. 特許請求の範囲第1.4項記載の情報処理装置において、

上記第2のレジスタの内容は、

第1のレジスタで構成されるリングバンクにおける多レジスタ領域の先頭部を指す第1のポインタを表示すること、

を特徴とする情報処理装置。

1.6. 特許請求の範囲第1.5項記載の情報処理装置において、

上記第1のポインタの登録を指す第2のポインタを表示する内容を持つ第4のレジスタを有し、
第4のレジスタは、

第1のポインタの指す多レジスタ領域と第2のポインタの指す多レジスタ領域の

間にあるレジスタ領域を指すこと

を特徴とする情報処理装置。

17. 特許請求の範囲第9項記載の情報処理装置において、

上記命令を解釈する第1の手段と、

複数の多レジスタ領域を含む第1のレジスタ群と、処理手段が

一つの半導体チップの上に実現されたことを特徴とするマイクロプロセッサ。

18. 命令群とデータを格納する主記憶装置を有し、

該命令群の命令として、

命令コード部、及び

レジスタ指定部又は主記憶装置指定部を含むオペランド部を持つ命令を含み、

複数のプログラムを該命令群で構成し、

該プログラムのうちの少なくとも一つのプログラムは複数の副プログラムを含み、

該命令群の命令を解釈する第1の手段を有する情報処理装置において、

該命令がレジスタ指定部を持つ時は第2の手段で指定されたレジスタの内容と、

該命令が主記憶装置指定部を持つ時は主記憶装置の内容

に従って命令を処理する処理手段を有すること

を特徴とする情報処理装置。

19. 特許請求の範囲第18項記載の情報処理装置において、

上記第2のレジスタ群は、番地付けされたレジスタをリングバック構造に構成したレジスタ群であること

を特徴とする情報処理装置。

20. 特許請求の範囲第18項記載の情報処理装置において、

上記命令を解釈する第1の手段と、複数の第1のレジスタの集合と、処理手段が一つの半導体チップの上に実現されたことを特徴とするマイクロプロセッサ。

21. 命令群とデータを格納する主記憶装置を有し、

複数のレジスタで構成される複数の第1のレジスタ群の各々が、

複数の該プログラムのそれぞれに割り付けられており、

複数の各レジスタ領域に分割された少なくとも一つの第2のレジスタ群があつて、

第2のレジスタ群は該プログラムの一つに割り付けられており、

第2のレジスタ群の数は第1のレジスタ群の数より少なく、

該多レジスタ領域の各々のレジスタ領域が該一つのプログラムの副プログラムに選択的に割り付けられることと、

解釈された命令のレジスタ指定部の一つのフィールドで示されるレジスタの内容と

レジスタ指定部の他のフィールドで示される順位値とによってレジスタを指定する第2の手段を有すること、

並びに、

第1の手段で解釈された命令の命令コード部と、

該命令群の命令として、

命令コード部、及び

レジスタ指定部又は主記憶装置指定部を含むオペランド部を持つ命令を含み、

複数のプログラムを該命令群で構成し、

該プログラムのうちの少なくとも一つのプログラムは複数の副プログラムを含み、

該命令群の命令を解釈する第1の手段を有する情報処理装置において、

複数の第1のレジスタで構成される複数の第1のレジスタ群の各々が

複数の該プログラムのそれぞれに割り付けられており、

複数の多レジスタ領域に分割された少なくとも一つの第2のレジスタ群があつて、

第2のレジスタ群は該プログラムの一つに割り付けられており、

第2のレジスタ群の数は第1のレジスタ群の数より少なく、

該多レジスタ領域の各々のレジスタ領域が該一

このプログラムの間プログラムに選択的に割り付けられることと、

間プログラムの二つに割り付けられた多レジスタ領域の一つを指示する情報を持つ第2のレジスタを有し、

第2のレジスタの内容は第1の手段で解釈された命令の命令コードで創設され、

第2のレジスタで指示される多レジスタ領域の中のレジスタは

該レジスタ指定部で指定されることと、
解釈された命令のレジスタ指定部の一方のフィールドで示されるレジスタの内容と、

レジスタ指定部の他のフィールドとしてのレジスタ変位部で示される変位値とによってレジスタを指定する第2の手段を有すること、

並びに、

第1の手段で解釈された命令の命令コードと、
解釈された命令のレジスタ指定部で指定され、

第2のレジスタで指示される多レジスタ領域に含まれるレジスタの内容に従って命令を処理

を特徴とする情報処理装置。

2.3. 特許請求の範囲第2.1項記載の情報処理装置において、

上記第2の手段は、

第2のレジスタに格納された情報と、

命令のレジスタ指定部の中のレジスタ変位部で指定された変位値

の論理和操作を行うことにより、

レジスタ指定表示の値として、

レジスタ指定表示の上位部を第2のレジスタの上位部の内容に對出させ、

レジスタ指定表示の下位部を

第2のレジスタの下位部と

レジスタ変位部の論理和操作を伴って求めた値

とすること、

を特徴とする情報処理装置。

2.4. 特許請求の範囲第2.3項記載の情報処理装置において、

上記第2のレジスタの下位部の中で上位位置に

し、

第2のレジスタの内容を前進または後退させる命令コードを持つ命令と

間プログラムの呼び出しと間プログラムからの復帰を行う命令コードを持つ命令を処理する処理手段を有すること、

を特徴とする情報処理装置。

2.2. 特許請求の範囲第2.1項記載の情報処理装置において、

上記第1のレジスタで構成される第1のレジスタ群の個数と、

第1のレジスタで構成される第2のレジスタ群の多レジスタ領域の個数を表示する表示手段を有し、

第1のレジスタ群の個数または第2のレジスタ群の多レジスタ領域の個数を変えるために該表示手段の状態を変更することを用いる命令コードを持つ命令を有し、

該処理手段は該表示手段の状態を変更する命令を処理する処理手段を有すること、

ある一つかそれ以上のビットは、

レジスタ変位部の対応ビット位置にあるビットが

レジスタ指示情報を変えず命令にはゼロであること、及び、

レジスタ変位部の中で上位位置にある一つかそれ以上のビットは、

第2のレジスタの対応ビット位置にあるビットが

多レジスタ領域の指示情報を変えず命令にはゼロであること、

これによって、

第2のレジスタの内容と、命令のレジスタ指定部の中のレジスタ変位部の内容によって、多レジスタ領域を構成するレジスタの個数を変更可能とすること、

を特徴とする情報処理装置。

2.5. 特許請求の範囲第2.1項記載の情報処理装置において、

上記第1のレジスタで構成される第1のレジ

を群の

或る一つのレジスタ群を指示する情報を格納する第3のレジスタを有すること
を特徴とする情報処理装置。

2.6. 特許請求の範囲第2.5項記載の情報処理装置において、

上記第2のレジスタの指す多レジスタ領域の背後に位置する

多レジスタ領域を指す情報を格納する第4のレジスタを有すること
を特徴とする情報処理装置。

2.7. 特許請求の範囲第2.1項記載の情報処理装置において、

上記命令を解釈する第1の手段と、複数の第1のレジスタの集合と、処理手段が一つの半導体チップの上に実現されたことを特徴とするマイクロプロセッサ。

2.8. 特許請求の範囲第2.1項記載の情報処理装置において、

上記第1のレジスタで構成される第2のレジスタ

レジスタ指定部の一方のフィールドで示される一つの多レジスタ領域指示手段の内立と

レジスタ指定部の他のフィールドで示されるレジスタ変位値とによって

レジスタを指定する第3の手段を有すること並びに、

命令の解釈手段によって解釈された命令の命令コード部と、

該命令がレジスタ指定部を持つ時は第2の手段で指定されたレジスタの内容と、

該命令が主記憶装置指定部を持つ時は主記憶装置の内容

に従って命令を処理する処理手段を有すること
を特徴とする情報処理装置。

2.9. 特許請求の範囲第2.9項記載の情報処理装置において、

上記第2の手段は、

多レジスタ領域指示手段に格納された情報と、

命令のレジスタ指定部の中のレジスタ変位部で指定された変位値

と群は、格納付けられたレジスタをリンクバンク構成に構成したレジスタ群であること

を特徴とする情報処理装置。

2.10. 命令群とデータを格納する主記憶装置を有し、

該命令群の命令として、

命令コード部、及び

レジスタ指定部又は主記憶装置指定部を含むオペランド部を持つ命令を含み、

複数のプログラムを該命令群で構成し、

該プログラムの中の少なくとも一つのプログラムは複数のレジスタプログラムを含む、

該命令群の命令を解釈する手段を有する情報処理装置において、

複数のレジスタで構成される複数の多レジスタ領域を有することと、

それぞれが多レジスタ領域の一つを指示する情報を格納する

多レジスタ領域指示手段を複数備有すること、
格納された命令の

の論理的操作を行うことにより、

レジスタ指定部の値を求めること

を特徴とする情報処理装置。

2.11. 特許請求の範囲第2.9項記載の情報処理装置において、

上記処理手段の中に、

各々の多レジスタ領域指示手段に情報を設定する操作を要する命令の命令コード

を処理する手段を設けること

を特徴とする情報処理装置。

2.12. 特許請求の範囲第2.9項記載の情報処理装置において、

上記命令を解釈する第1の手段と、複数の第1のレジスタの集合と、処理手段が一つの半導体チップの上に実現されたことを特徴とするマイクロプロセッサ。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.